

引用格式:郑凯伦,郭桂良. 一种高增益高电流效率的运算跨导放大器[J]. 微电子学与计算机,2020,37(6):51-56. [ZHENG K L, GUO G L. A high-gain high-current-efficiency OTA[J]. Microelectronics & Computer, 2020, 37(6): 51-56.]

一种高增益高电流效率的运算跨导放大器

郑凯伦^{1,2}, 郭桂良¹

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学院大学, 北京 100049)

摘 要: 为了提高增益自举 OTA 的电流效率, 对主运放、辅助运放及其共模反馈电路进行了电流复用, 在华宏 0.35 μm 工艺 5 V 电源电压下实现了一种具有大 DC 增益(大于 121 dB)、高电流效率(大于 1 146 MHz * pF/mA)、宽差分输出动态范围(大于 9 V)的 OTA 结构。

关键词: 运算跨导放大器; 复用型折叠共源共栅; 增益自举; 差分误差放大

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2020)06-0051-06

A high-gain high-current-efficiency OTA

ZHENG Kai-lun^{1,2}, GUO Gui-liang¹

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: In order to enhance the current efficiency of gain-boosting OTA, the current recycling technique has been used in main OTA, auxiliary OTA and its common-mode feedback circuit. Implemented in 5 V HHGrace 0.35 μm CMOS process, simulated results show that the improved OTA possesses high DC gain (>121 dB), high current efficiency ($>1\,146$ MHz * pF/mA) and wide differential output dynamic range (>9 V).

Key words: OTA; Recycling folded cascode; Gain-boosting; Differential difference amplifier

1 引言

Folded Cascode(FC)OTA 由于其高 GBW、低噪声、宽输出动态范围的特性在低压开关电容场景下得到了大量应用。为了在保持上述优点的同时克服低电流效率和 DC 增益的缺点, Assaad 提出了一种电流复用型 FC 结构 RFC^[1], 在相同面积和功耗下实现了更大的 GBW、SR 和 DC 增益。在此基础上, 一系列改进结构被提出。其中, IRFC^[2]、DRFC^[3]、CFRFC^[4]、MRFC^[5] 通过增大电流放大倍数实现了更大的 GBW 和 SR, 但由于引入了额外的零极点, 因此均存在跨导增强程度与相位裕度退化程度的折中。虽然通过高速电流镜结构^[6]可以缓解相位裕度的退化, 但是其对无源电阻的需

求会引入较大额外芯片面积, 同时受匹配和工艺偏差影响大。RFC-PF^[7] 和 IRFC-GB^[8] 分别通过正反馈和(共源级辅助运放)增益自举增大了 RFC 和 IRFC 的 DC 增益, 但缺点都是限制了主运放输出动态范围。

本文在综合上述结构的优缺点后提出了一种改进 OTA 结构(下文使用 POTA 表示), 如图 1 所示, 通过对 DRFC 结构采用增益自举^[9]技术, 并对辅助运放采用 RFC 结构, 可以在获得更高 DC 增益的同时保持宽输出动态范围和较高的电流效率; 并对传统的差分误差放大^[10](DDA)连续时间共模反馈进行改进, 通过电流复用可以在相同的面积和功耗下获得更高的跨导增益, 从而使得辅助运放具有更快更精确的共模建立。

2 电路设计

传统 FC 结构(图 2)中,电流源 $M3$ 、 $M4$ 的作用仅仅是为输入管 $M1$ 、 $M2$ 产生的小信号电流提供折

叠点. 因为 $M3$ 、 $M4$ 流过了整个电路中最大的电流, 从而具有较大的跨导. 如果 $M3$ 、 $M4$ 能被复用为驱动管, 将显著提高电流效率.

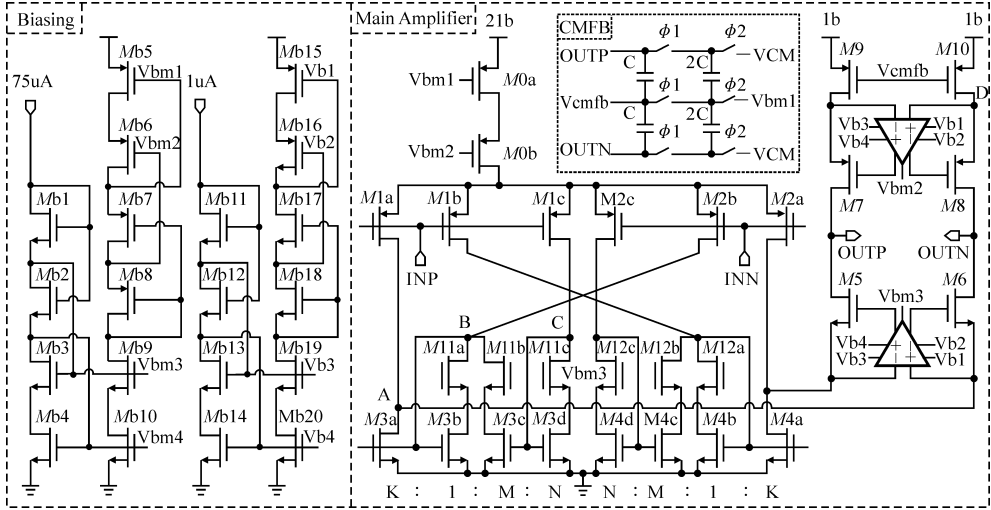


图 1 改进 OTA 结构(POTA)

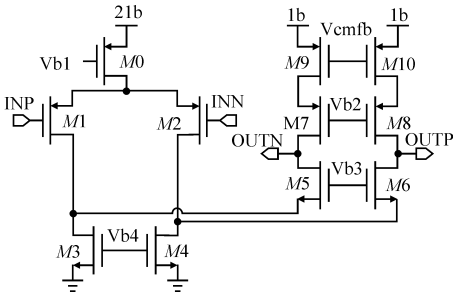


图 2 传统折叠共源共栅结构(FC)

POTA 在输入级采用 DRFC 结构实现了上述复用. 通过将 $M3$ 、 $M4$ 拆分为两组电流镜($M3a$ 、 $M3d$ 与 $M4a$ 、 $M4d$), 将 $M1$ 、 $M2$ 拆分为两组输入对($M1a$ 、 $M1c$ 与 $M2a$ 、 $M2c$), 采取交叉连接方式确保在 $M5$ 、 $M6$ 源端求和的小信号电流相位一致. 额外增加的共栅管($M11a$ 、 $M11c$ 与 $M12a$ 、 $M12c$) 用于增强电流镜匹配. 假设 $M3a$ 、 $M3d$ 和 $M4a$ 、 $M4d$ 的静态电流比例为图 1 中的 $K:1:M:N$, 根据 KCL 可求得输入管流过的静态电流为式(1~3).

$$I_{1a} = I_{2a} = I_b \frac{K-1-M-N}{K+1+M+N} \quad (1)$$

$$I_{1b} = I_{2b} = I_b \frac{2(M+1)}{K+1+M+N} \quad (2)$$

$$I_{1c} = I_{2c} = I_b \frac{2N}{K+1+M+N} \quad (3)$$

假设所有 MOS 管均工作在饱和区, 根据平方律模型, 当 $M1$ 、 $M2$ 、 $M3$ 和 $M4$ 的宽长比按照相应静

态电流比例拆分时, 拆分前后过驱动电压将保持不变, 从而具有相同的偏置状态. DRFC 输入跨导 G_m 如式(4)所示, 大括号内表达式为跨导增强倍数.

$$G_m = g_{m1a} + K \left(g_{m2b} + g_{m1c} \frac{M}{N} \right) = g_{m1} \left\{ 1 + \frac{2[K(2M+1) - (M+N+1)]}{K+1+M+N} \right\} \quad (4)$$

$$\omega_A \approx \frac{A_P \cdot g_{m5}}{C_{DB3a} + C_{DB1a} + C_{SB5} + C_{GS5}} \quad (5)$$

$$\omega_B \approx \frac{g_{m3b}}{(1+K)C_{GS3b}} \approx \frac{1}{1+K} \frac{3\sqrt{\mu_n}}{\sqrt{2C_{ox}L^3}} \sqrt{\frac{I_d}{W}} \quad (6)$$

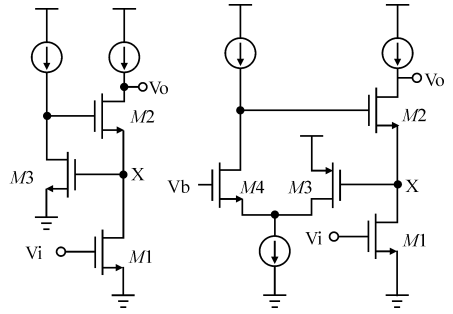
$$\omega_C \approx \frac{g_{m3d}}{\left(1 + \frac{M}{N}\right)C_{GS3d}} \approx \frac{1}{1 + \frac{M}{N}} \frac{3\sqrt{\mu_n}}{\sqrt{2C_{ox}L^3}} \sqrt{\frac{I_d}{W}} \quad (7)$$

$$\omega_D \approx \frac{A_N \cdot g_{m7}}{C_{DB9} + C_{SB7} + C_{GS7}} \quad (8)$$

POTA 结构中主极点为输出极点, 因此 $GBW = G_m/C_L$. 低频次主极点分别位于 A、B、C、D 处, 频率如式(5~8), A_P 、 A_N 为辅助运放增益. 为简化计算, 忽略了饱和区 MOS 管的 C_{GD} 寄生电容与密勒等效. 其中, A、D 极点频率可以近似认为远大于 GBW , 因此对相位裕度的影响可以忽略不计. 假设 $M3a$ 、 $M3d$ 和 $M4a$ 、 $M4d$ 的沟长 L 相同且固定, 而宽度 W 又与电流 I_d 同比例变化, 因此 B、C 极点频率仅与拆分比例($K:1:M:N$)有关. 增大镜像比例($K/$

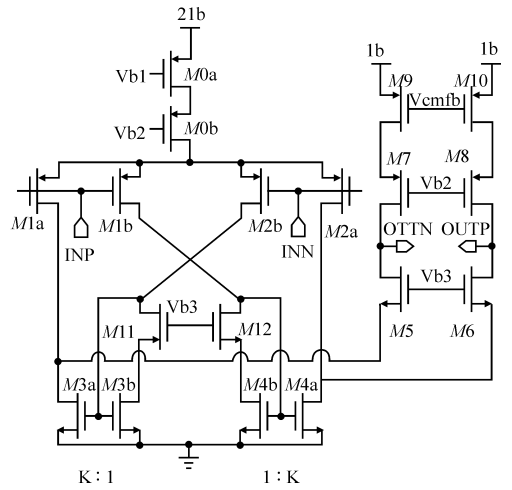
1 或 M/N) 可以提高 G_m , 从而增大 GBW, 但代价是相位裕度的退化, 因为 GBW 外推同时次主极点内推。出于 GBW 增强与相位裕度退化的折中考虑, 本文采取了 3:1:2/3:1/3 的拆分比例, 理论上可以实现 3 倍 g_{m1} 的输入跨导, 从而实现 3 倍于 FC 结构的 GBW。因为流过 $M3a$ 、 $M1a$ 的电流要小于 FC 结构中流过 $M3$ 、 $M1$ 的电流, 所以 $r_{o1a} // r_{o3a}$ 大于 $r_{o1} // r_{o3}$, 同时由于 G_m 增大了两倍, 因此 DC 增益相较于 FC 结构增大了 10~15 dB。为了进一步提高 DC 增益, POTA 对 N、P 两侧 cascode 管均采用了增益自举。由于辅助运放与 cascode 管构成闭环负反馈, 为了满足环路稳定性要求, 必须使辅助运放的 GBW 小于 cascode 管源端极点 (A、D) 频率。此外, 增益自举会在辅助运放的 GBW 频率附近产生一对零极点, 为避免该零极点对退化主运放的建立速度, 需要将辅助运放的 GBW 放在主运放闭环带宽外。出于给失配和工艺偏差留出裕度而又不浪费太多功耗的考虑, 一般选择将辅助运放的 GBW 取为略大于主运放 GBW。一方面, 因为辅助运放驱动的是 cascode 管的栅极, 从该结点到主运放输出端的电压增益远小于主运放差模增益, 即辅助运放的输出失调电压与噪声被主运放的高输入跨导所抑制; 另一方面, 辅助运放仅用于增大输出电阻, 并不放大主运放差模输入信号, 因此其输出电压仅具有很小的摆幅 (mV 量级)。基于这两个原因, POTA 的辅助运放选择使用小尺寸短沟长器件并偏置在大过驱动电压下, 以牺牲辅助运放的匹配、噪声性能和输出动态范围为代价 (均被主运放高输入跨导所抑制), 实现在较低功耗下获得足够的 GBW。

传统的增益自举结构如图 3(a)。为了满足共源级辅助运放输入电压范围的要求, X 结点电压必须大于 $V_{ov3} + V_{thn}$, 使得保证所有 MOS 管均工作在饱和区的最小输出电压从 $V_{ov1} + V_{ov2}$ 增大到了 $V_{ov2} + V_{ov3} + V_{thn}$ 。当 N、P 两侧均采用增益自举时, (单端) 输出动态范围将减小 $V_{thn} + V_{thp}$ (当前工艺下约为 2V), 严重限制系统的 SNR。在改用图 3(b) 的 FC 结构辅助运放后, X 结点电压不再受辅助运放输入电压范围限制。为了提高 FC 结构的电流效率, POTA 采用了全差分 RFC 结构 (图 4) 作为辅助运放, 其输入跨导如式 (9)。K 值取 3 时, 相同的电流和尺寸下, 跨导为传统 FC 结构的 2 倍, 意味着在获得相同 GBW 的条件下所消耗的芯片面积和功耗仅为传统 FC 结构的一半。

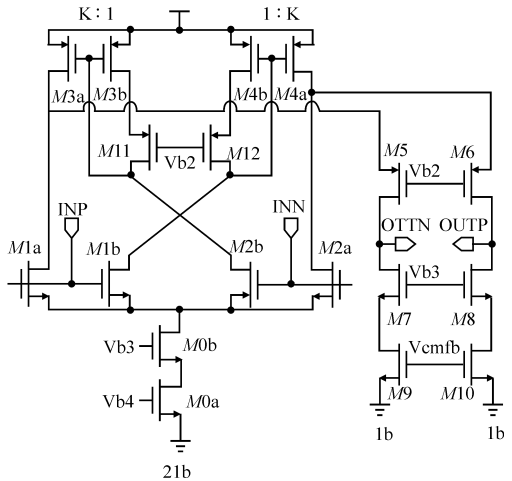


(a) 共源级辅助运放 (b) 折叠共源共栅辅助运放

图 3 单端增益自举结构



(a) P 输入辅助运放



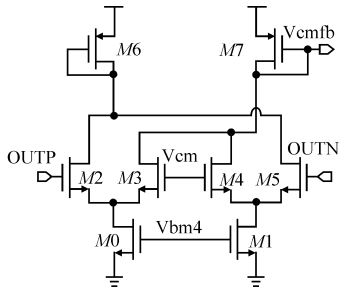
(b) N 输入辅助运放

图 4 辅助运放

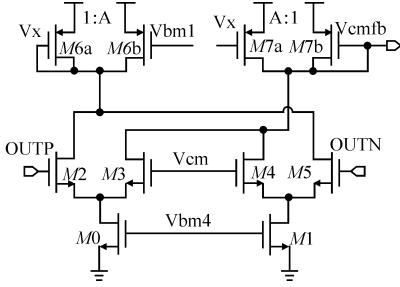
$$G_m = g_{m1a} + K \cdot g_{m2b} = g_{m1} \left[1 + \frac{2(K-1)}{K+1} \right] \quad (9)$$

$$G_{m-DDA} = g_{m3,4} (1+A)^2 \quad (10)$$

由于辅助运放为全差分结构, 因此必须采用共模反馈电路。相较于电阻平均型共模反馈, 差分误差



(a) 传统结构



(b) 改进结构

图5 DDA-CMFB 结构

放大型共模反馈(DDA)的优点在于具有较大的跨导增益,同时又不会给输出结点引入阻性负载而降低差模增益;相较于开关电容型共模反馈,DDA 的优点在于不存在非理想开关引入的电荷注入与时钟馈通效应。虽然 DDA 具有线性度在大输出摆幅时退化的缺点,但根据前述分析知辅助运放的输出仅具有很小的电压摆幅,因此适合采用 DDA 结构。本文对图 5(a)的传统结构进行了改进,如图 5(b)所示。通过拆分 $M6$ 、 $M7$ 为 $M6a$ 、 $M6b$ 和 $M7a$ 、 $M7b$,一方面将 $M2$ 、 $M5$ 产生的共模感应小信号电流 I_{cms} 放大 A 倍后与 $M3$ 、 $M4$ 产生的 I_{cms} 在 $M7a$ 漏端求和,另一方面以分流电流源形式增大了从 $M7a$ 到 CMFB 受控电流源的镜像比例。改进结构的跨导增益如式(10), A 取 1 时跨导增益为传统结构的 4 倍。与结构^[11]通过电阻引入局部共模反馈从而增大跨导增益的方式相比,本结构的优点在于不会额外增加芯片面积,同时 $M6a$ 、 $M7a$ 的二极管接法使得次主极点位于较高频处,当 A 值较小时无需频率补偿即可保持足够相位裕度。

POTA 结构为了抑制共模噪声、偶次谐波失真和增大输出动态范围,采用了全差分结构,因此也需要共模反馈电路。因为 OTA 主要用于开关电容电路,所以适合采用开关电容共模反馈^[12](如图 1 点线框),其优点在于线性度好,不消耗静态功耗,同时不会给输出结点引入阻性负载而降低差模增益。为了节省静态电流,偏置产生电路采用了自偏置宽摆

幅结构^[13],如图 1 虚线框左侧。

3 仿真结果

为了公平比较 POTA 的改进效果,本文在华宏 $0.35\ \mu\text{m}$ 工艺、5 V 电压下,首先设计了一款 FC 结构 OTA,然后在此基础上保持相同的偏置状态和等效器件尺寸进行拆分,分别实现了 DRFC(3:1:2/3:1/3)、IRFC-GB(3:1:1)、POTA(3:1:2/3:1/3)三种结构,并进行了 27°C -TT、 -40°C -FF、 85°C -SS 三个主要工艺角的仿真,结果如表 1 所示,其中 $\text{FOM1} = \text{GBW} \times C_L / I_{\text{supply}}$ (MHz * pF/mA) 和 $\text{FOM2} = \text{SR} \times C_L / I_{\text{supply}}$ ((V/us) * pF/mA) 为衡量电流效率的性能指标。可以看到 POTA 在三个工艺角下均实现了最高的 DC 增益,仅略低于 DRFC 的 FOM1 值(因为辅助运放的额外功耗),最大的 FOM2 值和中等的输入参考噪声电压(μVrms , 0.1 Hz ~ 100 MHz)。为了更精确地衡量 OTA 的输出动态范围,本文采用图 6 左侧的测试电路,设置 OTA 正反相输入端初始电压为 $V_{\text{DD}}/2$ 来确保其正确偏置。扫描正弦波的幅值,并仿真差分输出波形的总谐波失真 THD。定义 THD 小于 0.1% 时的最大差分输出电压摆幅为输出动态范围。三个主要工艺角下的仿真波形如图 6 右侧。正如前面所分析的,采用共源级辅助运放的 IRFC-GB 具有最小的输出动态范围。与未加增益自举的 DRFC 相比,POTA 具有接近轨对轨的输出动态范围,这主要是因为当输出电压略微超过使所有 MOS 管饱和工作的电压范围时,虽然主运放 cascode 管进入线性区,但是辅助运放中所有 MOS 管仍工作在饱和区并提供高增益,使得增益自举环路仍能保持足够的环路增益以屏蔽输出电压对共源管漏端电压的影响,从而保持主运放仍具有较高的输出电阻(意味着高增益)。

将 POTA 在最坏工艺角(85°C -SS)下的性能与近期其他文献的 OTA 性能进行比较,结果如表 2 所示。可以看到 POTA 具有最高的 FOM1 值和输出电压动态范围(为了公平比较,均对电源电压做归一化)。

对同一辅助运放分别使用传统 DDA(用 TDDA 表示)和本文改进型 DDA(用 PDDA 表示)进行仿真。DDA 的 DC 跨导增益 G_m 、CMFB 的 DC 环路增益 LG、GBW 与相位裕度 PM 的性能对比如表 3 所示。如前面所分析的,当 A 取 1 时 PDDA 可以实现 4 倍的跨导增益,在获得更高的低频 LG 和 GBW 的同时保持了足够的相位裕度。使得辅助运放 CMFB 建立更加快速与精确。

表 1 不同工艺角下与前人结构的比较

	27℃-TT				-40℃-FF				85℃-SS			
	FC	DRFC	IRFC-GB	POTA	FC	DRFC	IRFC-GB	POTA	FC	DRFC	IRFC-GB	POTA
Power(uA)	301.6	298.7	327.3	309.6	302.6	298.8	333.8	306.9	301.1	298.6	322.9	310.3
Out Swing(V)	8.067	8.355	5.784	9.772	8.437	8.746	5.786	9.78	7.498	7.958	5.585	9.766
DC gain(dB)	60.21	72.02	116.4	126.5	58.15	70.14	115.3	120.9	61.99	73.58	117.5	130.4
GBW(MHz)	14.1	42.42	40.89	43.38	18.2	53.08	52.58	52.54	12.12	34.91	33.91	35.56
PM(°)	87.42	67.96	70.61	66.57	87.44	67.39	69.94	65.83	87.39	68.17	71.04	66.95
SR(V/us)	6.753	20.16	27.36	29.24	8.959	22.41	35.19	34.41	5.885	18.4	21.08	25.09
0.1%T _{Settle} (ns)	230.9	73.91	76.24	71.22	187.3	59.94	60.7	58.93	270.7	87.02	91.01	83.23
RTInoise(uV _{rms})	82.15	69.31	66.58	71.85	68.44	57.27	54.93	59.51	93.22	79.34	76.31	82.87
FOM1	467.5	1420.2	1249.3	1401.2	601.5	1776.4	1575.2	1712	402.5	1169.1	1050.2	1146
FOM2	223.9	674.9	835.9	944.4	296.1	750.0	1054.2	1121.2	195.5	616.2	652.8	808.6

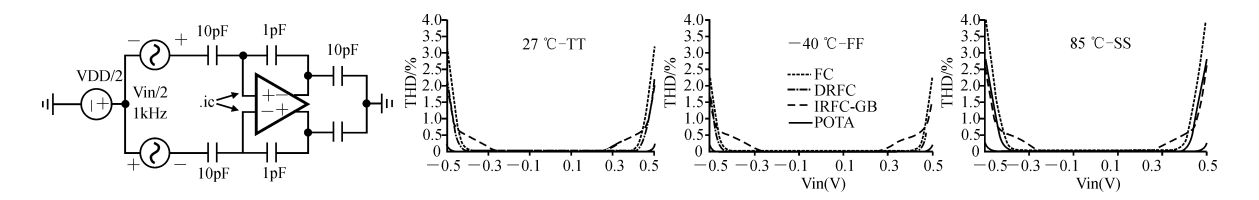


图 6 输出动态范围测试电路与工艺仿真波形(Vin-THD)

表 2 POTA 最坏工艺角下与其他文献比较

	[14]	[15]	[16]	[17]	[18]	POTA
Process(um)	0.35	0.18	0.18	0.13	0.13	0.35
VDD(V)	5	1.8	3	3.3	3.3	5
DC Gain(dB)	115	65	156	58	103	121
Out Swing(%)	80	—	83.3	—	—	97.7
FOM1	647	578	249	1102	52	1146
FOM2	1308	18000	—	—	127	809

表 3 TDDA-CMFB 与 PDDA-CMFB 对比

	27-TT		-40-FF		85-SS	
	TDDA	PDDA	TDDA	PDDA	TDDA	PDDA
Gm(uS)	3.9	15.1	5.3	20.7	2.9	11.5
LG(dB)	40.7	53.1	38.4	51.1	42.0	54.3
GB(MHz)	12.5	48.2	13.5	54.7	11.3	42.7
PM(°)	84.4	56.5	85.6	59.4	83.7	54.9

4 结束语

本文基于电流复用思想,通过采用 RFC 结构和 PDDA-CMFB 结构对增益自举的辅助运放进行了改进,并采用 DRFC 结构作为主运放,实现了一种具有大 DC 增益、高电流效率、宽输出动态范围的 POTA 结构.

参考文献:

[1] ASSAAD R S, SILVA-MARTINEZ J. The Recycling Folded Cascode: A General Enhancement of the Folded Cascode Amplifier[J]. IEEE Journal of Solid-State Circuits, 2009, 44(9):2535-2542.

[2] LI Y L, HAN K F, TAN X, et al. Transconductance enhancement method for operational transconductance amplifiers[J]. Electronics Letters, 2010, 46(19): 1321-1323.

[3] YAN Z, MAK P I, MARTINS R P. Double recycling technique for folded-cascode OTA[J]. Analog Integrated Circuits and Signal Processing, 2012, 71(1): 137-141.

[4] ZHAO X, ZHANG Q, WANG Y, et al. Transconductance and slew rate improvement technique for current recycling folded cascode amplifier[J]. AEU - International Journal of Electronics and Communications, 2016, 70(3):326-330.

[5] ZHANG Q, ZHAO X, ZHANG X, et al. Multipath recycling method for transconductance enhancement of folded cascode amplifier[J]. AEU - International Journal of Electronics and Communications, 2017, 72:1-7.

[6] ZHAO X, FANG H, XU J. Phase-margin enhancement technique for recycling folded cascode amplifier[J]. Analog Integrated Circuits and Signal Processing, 2013, 74(2): 479-483.

- [7] ZHAO X, FANG H, XU J. DC gain enhancement method for recycling folded cascode amplifier in deep submicron CMOS technology[J]. IEICE electronics express, 2011, 8(17): 1450-1454.
- [8] AHMED M, SJAH I, TANG F, et al. An improved recycling folded cascode amplifier with gain boosting and phase margin enhancement[C]//2015 IEEE International Symposium on Circuits and Systems (ISCAS). IEEE, 2015: 2473-2476.
- [9] BULT K, GEELEN G J G M. The CMOS gain-boosting technique[J]. Analog Integrated Circuits and Signal Processing, 1991, 1(2): 119-135.
- [10] WHATLEY R A. Fully differential operational amplifier with DC common-mode feedback; U. S. Patent 4, 573,020[P]. 1986-2-25.
- [11] GARDE M P, LOPEZ-MARTIN A, RARMIREZ-ANGULO J. Improved common-mode feedback based on LCMFB techniques[C]//2017 13th Conference on Ph. D. Research in Microelectronics and Electronics (PRIME). IEEE, 2017: 277-280.
- [12] CHOKSI O, CARLEY L R. Analysis of switched-capacitor common-mode feedback circuit [J]. IEEE Transactions on Circuits and Systems II: Analog and Digital, Signal Processing, 2003, 50(12):906-917.
- [13] SOOCH N S. MOS cascode current mirror; U. S. Patent 4,550,284[P]. 1985-10-29.
- [14] 洪帅, 刘诺, 熊飞, 等. 一种用于开关电容电路的高性能运算放大器[J]. 微电子学, 2011, 41(2): 164-167.
- [15] 范国亮, 张国俊. 一种增益提升和摆率增强的电流镜放大器[J]. 微电子学, 2016, 46(3):289-292.
- [16] 陈忠学, 何全, 胡奇宇, 等. 一种应用于 14 位 ADC 的运算跨导放大器[J]. 微电子学, 2017, 47(1):30-34.
- [17] POVOA R, LOURENCO N, MARTINS R, et al. Single-Stage OTA Biased by Voltage-Combiners With Enhanced Performance Using Current Starving [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2017, 65(11): 1599-1603.
- [18] 彭莉, 武华, 袁寿财, 等. 交叉结构高增益两级运算跨导放大器设计[J]. 半导体技术, 2019, 44(9):669-674.

作者简介:

郑凯伦 男, (1995-), 硕士研究生. 研究方向为模拟集成电路设计. E-mail: 784572818@qq.com

郭桂良 男, (1981-), 博士, 副研究员. 研究方向为模拟/射频集成电路设计.

(上接第 50 页)

- [5] 郭忠文, 罗汉江, 洪锋, 等. 水下无线传感器网络的研究进展[J]. 计算机研究与发展, 2010, 47(3): 377-389.
- [6] SANTAR P S, SHARMA S C. A Survey on Cluster Based Routing Protocols in Wireless Sensor Networks [J]. International Conference on Advance Computing Technologies and Applications, 2015, 45: 687-695.
- [7] 刘志, 裘正定. 基于分环多跳的无线传感网分簇路由算法[J]. 通信学报, 2008, 29(3):104-113
- [8] 李志华, 赵昭, 魏忠诚, 等. UCUBG: 基于等级划分的水下传感器网非均匀分簇算法[J]. 控制与决策, 2019, 34(1):89-96.
- [9] 刘韵婷, 张嗣瀛, 井元伟. 基于粒子群优化的无线传感器网络非视距节点定位算法[J]. 控制与决策, 2015, 30(6): 1106-1110.
- [10] MIRJALILI S, MIRJALILI S M, LEWIS A. Grey Wolf Optimizer [J]. Advances in Engineering Software, 2014, 69(3):46-61.
- [11] MANZOOR B, JAVAID N, REHMAN N, et al. Q-LEACH: A New Routing Protocol for WSNs [J]. Procedia Computer Science, 2013, 19: 926-931.
- [12] 王秋萍, 王梦娜, 王晓峰. 改进收敛因子和比例权重的灰狼优化算法[J]. 计算机工程与应用, 2019, 55(21): 60-65.
- [13] 郭振洲, 刘然, 拱长青, 等. 基于灰狼算法的改进研究 [J]. 计算机应用研究, 2017, 34(12): 3603-3606.

作者简介:

蒋华 男, (1963-), 教授. 研究方向为数据库系统与信息安全技术;

蔡玮(通讯作者) 男, (1994-), 硕士研究生. 研究方向为无线传感器网络. E-mail: caiwei94@yeah.net;

王鑫 男, (1976-), 教授. 研究方向为无线传感器网络、云计算技术;

覃琴 女, (1985-), 实验师. 研究方向为无线传感器网络.